

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-116056

(43)Date of publication of application : 07.05.1996

(51)Int.Cl.

H01L 29/78

(21)Application number : 06-253193

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.10.1994

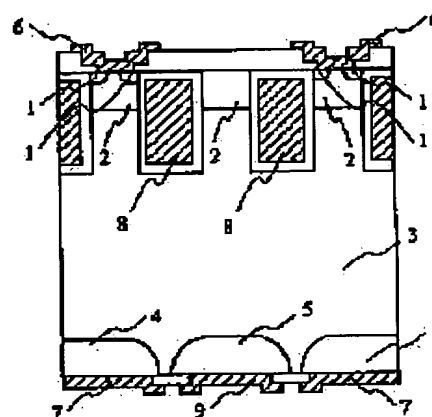
(72)Inventor : INABA MASAMITSU
SUGAWARA YOSHITAKA

(54) VOLTAGE-DRIVEN TYPE SEMICONDUCTOR DEVICE AND POWER CONVERTER USING IT

(57)Abstract:

PURPOSE: To reduce the on-resistance of MOSFET and IGBT having a high withstand voltage by providing a means for increasing the diffusion resistance of an injection carrier diffused into a source and a body.

CONSTITUTION: The area of a body 2 into which a hole flows is narrowed and an n-drain 3 region in the vicinity of the p-body 2 is narrowed by a trench gate 8 in order to increase the diffusion resistance of an injection carrier. For that reason, since the diffusion resistance is increased, the diffusion velocity of a hole is lowered and the hole is accumulated in the drain region in the vicinity of the p-body 2. On the other hand, since a channel is formed by the voltage of the trench gate electrode 8 and in electron flows, the electron flows through the drain region 3 independent of the diffusion resistance. As a result, the plasma state of the high density of an electron and a hole is realized in the drain region 3 and in cooperation with the injection effect of a hole from a p+ gate layer 5, electric conductivity modulation is accelerated, thereby being able to reduce on-resistance.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more crevices and heights which are characterized by providing the following and which can be set to a front-face side, The 1st main electrode which has the 1st semiconductor layer of the 1st conductivity type, the 2nd semiconductor layer of the 2nd conductivity type which adjoins the 1st semiconductor layer and is prolonged in heights, the 3rd semiconductor layer of the 1st conductivity type in heights, and the 4th semiconductor layer of the 2nd conductivity type prepared in the 3rd semiconductor layer, and is connected to the 2nd semiconductor layer, and heights the [the 3rd and] -- the 2nd main electrode linked to 4 semiconductor layers The 1st control electrode prepared through an insulator layer in a crevice The 2nd control electrode linked to the 1st semiconductor layer Heights which do not connect ***** and the 2nd main electrode

[Claim 2] Two or more crevices and heights which can be set to one main front-face [which is characterized by providing the following / of a couple], and main front-face side, The 1st main electrode which has the 1st semiconductor layer of the 1st conductivity type which adjoins the main front face of another side, the 2nd semiconductor layer of the 2nd conductivity type which adjoins the 1st semiconductor layer and is prolonged in heights, and the 4th semiconductor layer which adjoins one main front face and is prepared in heights, and is connected to the 1st semiconductor layer, and heights the [the 3rd and] -- the 2nd main electrode linked to 4 semiconductor layers The 1st control electrode prepared through an insulator layer in a crevice Heights which do not connect ***** and the 2nd main electrode

[Claim 3] Two or more crevices and heights which can be set to one main front-face [of a couple], and main front-face side, and the 1st semiconductor layer of the 1st conductivity type which adjoins the main front face of another side, In the 1st main electrode which adjoins the 1st semiconductor layer, has the 2nd semiconductor layer of the 2nd conductivity type prolonged in heights, and the 4th semiconductor layer which adjoins one main front face and is prepared in heights, and is connected to the 2nd semiconductor layer, and heights the [the 3rd and] -- with the 2nd main electrode linked to 4 semiconductor layers, and the 1st control electrode prepared through an insulator layer in a crevice The voltage drive type semiconductor device characterized by being located in the field where it had the 2nd control electrode linked to the 1st semiconductor layer, and the 1st semiconductor layer projected the crevice to the main front face of another side.

[Claim 4] The voltage drive type semiconductor device characterized by having the 5th semiconductor layer of the 2nd conductivity type which is prepared in the heights which do not connect the 2nd main electrode in a claim 1 or a claim 2, and is prolonged to the pars basilaris ossis occipitalis of a crevice.

[Claim 5] The voltage drive type semiconductor device characterized by the configuration of a crevice being a trapezoid in any 1 term of a claim 1 or a claim 3.

[Claim 6] The voltage drive type semiconductor device characterized by irradiating helium ion, a proton, or an electron ray at the 3rd whole surface or part of a semiconductor layer near a semiconductor layer in any 1 term of a claim 1 or a claim 3. [2nd]

[Claim 7] The direct-current terminal of a couple characterized by providing the following, and

the alternating current terminal of the source resultant pulse number of ac output, and the same number, Connect between the direct-current terminals of a couple and two or more parallel circuits of a switching element and the diode of reversed polarity are connected to a serial. Two or more crevices and heights which the interchange point of a parallel circuit is equipped with the inverter unit of the source resultant pulse number of ac output, and the same number connected to an alternating current terminal, and a switching element can set to a front-face side, The 1st main electrode which has the 1st semiconductor layer of the 1st conductivity type, the 2nd semiconductor layer of the 2nd conductivity type which adjoins the 1st semiconductor layer and is prolonged in heights, the 3rd semiconductor layer of the 1st conductivity type in heights, and the 4th semiconductor layer of the 2nd conductivity type prepared in the 3rd semiconductor layer, and is connected to the 2nd semiconductor layer, and heights the [the 3rd and] -- the 2nd main electrode linked to 4 semiconductor layers The 1st control electrode prepared through an insulator layer in a crevice The 2nd control electrode linked to the 1st semiconductor layer Heights which do not connect ***** and the 2nd main electrode

[Claim 8] The direct-current terminal of a couple characterized by providing the following, and the alternating current terminal of the source resultant pulse number of ac output, and the same number, Connect between the direct-current terminals of a couple and two or more parallel circuits of a switching element and the diode of reversed polarity are connected to a serial. The interchange point of a parallel circuit is equipped with the inverter unit of the source resultant pulse number of ac output, and the same number connected to an alternating current terminal. a switching element The main front face of a couple, Two or more crevices and heights which can be set to one main front-face side, and the 1st semiconductor layer of the 1st conductivity type which adjoins the main front face of another side, The 1st main electrode which adjoins the 1st semiconductor layer, has the 2nd semiconductor layer of the 2nd conductivity type prolonged in heights, and the 4th semiconductor layer which adjoins one main front face and is prepared in heights, and is connected to the 1st semiconductor layer, and heights the [the 3rd and] -- the 2nd main electrode linked to 4 semiconductor layers The 1st control electrode prepared through an insulator layer in a crevice Heights which do not connect ***** and the 2nd main electrode

[Claim 9] It connects between the direct-current terminal of a couple, the alternating current terminal of the source resultant pulse number of ac output, and the same number, and the direct-current terminal of a couple. It has the inverter unit of the source resultant pulse number of ac output, and the same number in which two or more parallel circuits of a switching element and the diode of reversed polarity are connected to a serial, and the interchange point of a parallel circuit is connected to an alternating current terminal. a switching element The main front face of a couple, Two or more crevices and heights which can be set to one main front-face side, and the 1st semiconductor layer of the 1st conductivity type which adjoins the main front face of another side, In the 1st main electrode which adjoins the 1st semiconductor layer, has the 2nd semiconductor layer of the 2nd conductivity type prolonged in heights, and the 4th semiconductor layer which adjoins one main front face and is prepared in heights, and is connected to the 2nd semiconductor layer, and heights the [the 3rd and] -- the power converter characterized by being located in the field where it had the 2nd main electrode linked to 4 semiconductor layers, the 1st control electrode prepared through an insulator layer in a crevice, and the 2nd control electrode linked to the 1st semiconductor layer, and the 1st semiconductor layer projected the crevice to the main front face of another side

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the power converter which used a voltage drive type semiconductor device and it. The voltage drive type semiconductor device which applied this invention can be used for the inverter of various power capacity, a power supply, power amplifier, VCO, an analog switch, etc. Moreover, in use, only as a simple substance device, even if it piles up IC, it can use.

[0002]

[Description of the Prior Art] Conventionally, MOSFET, IGBT, etc. are known as a voltage drive type semiconductor device. For example, although it has the advantage that the vertical mold MOSFET shown in drawing 2 can pass the ON state current from the ON state voltage of the 0V neighborhood, since a depletion layer spreads in the n drain 3 from junction of the p body 2 and the pinch of the current path is carried out by this depletion layer, an on resistance becomes high. On the other hand, since work, such as KShenai, IEEE IEDM Technical Digest, and trench type MOSFET carried by pp.793-797 (1990) can remove this pinch resistor, it can make an on resistance low. However, in order to carry out to high pressure-proofing, there is the need of making the resistivity of a drain field high and thickening, consequently the problem that an on resistance becomes high arises.

[0003] On the other hand, since IGBT pours a hole into a drain field from p emitter and starts conductivity modulation, even if it makes it high pressure-proofing, it has the advantage that an on resistance can be made low compared with MOSFET. However, in order especially to apply to the power converter of the high voltage etc., the conductivity modulation in a drain field is still inadequate, and the power loss of an on resistance is highly large compared with a GTO thyristor etc. For this reason, a semiconductor device of further a low on resistance is desired rather than the present IGBT.

[0004]

[Problem(s) to be Solved by the Invention] Even if it carries out the technical problem of this invention to high pressure-proofing, it is offering the voltage drive type semiconductor device which can be done in a low on resistance, and the power converter of a low power loss using it.

[0005]

[Means for Solving the Problem] The above-mentioned technical problem is solvable in MOSFET or IGBT which has a carrier pouring layer for pouring a minority carrier into a drain field by having a means to increase the diffused resistor of the pouring carrier diffused on the source and the body.

[0006] As a concrete means to increase a diffused resistor, irregularity may be formed in the front face of a semiconductor base with a trench etc., the drain field near the body may be narrowed, and a carrier pouring layer may be prepared in preparing the heights to which an electrode is not connected, and the field which projected the crevice after forming irregularity similarly.

[0007]

[Function] In MOSFET using the means of this invention, or IGBT, by carrying out the voltage

drive of the MOS gate first, a channel is formed in the body and a majority carrier (for example, electron) flows from the source to a drain. Subsequently, by IGBT, by injecting a minority carrier (for example, hole) into a drain, a minority carrier diffuses a drain field and starts conductivity modulation from an emitter from a carrier pouring field at MOSFET. By the way, it serves as low concentration as it is spread and it approaches near the body near the pouring field, although this minority carrier is high concentration, and the conductivity modulation near the body does not not necessarily have an enough lameness crack. However, if the poured-in minority carrier arrives at the drain field near the body, since the diffused resistor in this field is enlarged in the case of this invention, a diffusion rate falls and the drain field near the body is covered with a minority carrier. The electron which has flowed through the above-mentioned channel formed in the body on the other hand flows a drain field with regards to a diffused resistor that there is nothing. Consequently, a drain field will be in the plasma state of an electron and a hole, and conductivity modulation is fully promoted including [near the body].

[0008]

[Example] Drawing 1 is the 1st example based on this invention. this example is an example of MOSFET which has a carrier pouring layer, and shows the segment of 1600V and 100 Class A element. Two or more irregularity is prepared in the 1 main front face of the semiconductor substrate of silicon according to well-known trench structure. p+ which adjoins a semiconductor substrate mutually at the main front-face side of the inside bottom of drawing The gate layer 5 and n+ The contact layer 4 is formed partially. In addition, p+ The gate layer 5 and n+ The n drain 3 intervenes between the contact layers 4. The n drain 3 is p+. The gate layer 5 and n+ While adjoining the both sides of a contact layer, it is prolonged to the convex exceeding the pars basilaris ossis occipitalis of a crevice. The p body 2 is formed in heights and n source is partially formed in p body.

[0009] Furthermore, n+ The drain electrode 7 carries out ohmic contact, and the source electrode 6 carries out ohmic contact with the p body 2 and the n source 1 in the summit section of heights at a contact layer. In the crevice, the trench gate electrode 8 (MOS gate electrode) is formed so that it may be embedded. Moreover, p+ The gate electrode 9 for minority carrier pouring is carrying out ohmic contact at the gate layer 5.

[0010] Here, in order to enlarge a diffused resistor, that in which the source electrode 6 and n source layer are not prepared is formed, the source electrode 6 and n source layer prepare, and it is arranged a **** thing and by turns by heights. And it is n+ directly under [in which the source electrode 6 and n source layer are prepared in order to make low a drain electrode and a source inter-electrode on resistance] heights. The contact layer 4 and the drain electrode are arranged. Moreover, it is p+ directly under [in which the source electrode 6 and n source layer 1 are not formed] heights. Heights and p+ in which the source electrode 6 and n source layer are prepared by arranging the gate layer 5 The diffused resistor of the minority carrier which enlarges distance of the gate layer 5 and is poured in from p+ gate layer 5 is enlarged.

[0011] The structure item of this example is as follows. Segment width of face is 35 micrometers, and $5 \times 10^{19} \text{cm}^{-3}$, $5 \times 10^{17} \text{cm}^{-3}$, and the junction depth of the surface high impurity concentration of the n source 1 and the p body 2 are 2 micrometers and 4 micrometers respectively. The n drain 3 and n+ The contact layer 4 and p+ The high impurity concentration of the gate layer 5 is $5 \times 10^{13} \text{cm}^{-3}$, $1 \times 10^{19} \text{cm}^{-3}$, and $1 \times 10^{18} \text{cm}^{-3}$ respectively, and thickness is 250 micrometers, 5 micrometers, and 5 micrometers respectively. p body width of face (distance from the trench gate electrode 8 to the next trench gate electrode) is 4 micrometers, and the width of face and the depth of the trench gate electrode 8 are 8 micrometers and about 10 micrometers respectively.

[0012] The operation of this example is as follows. If voltage is impressed so that the potential of the trench gate electrode 8 may become higher than the potential of the source electrode 6 about the potential of the drain electrode 7 more highly than the potential of the source electrode 6, and the voltage of trench gate 8 electrode exceeds a threshold voltage, an n channel will be formed in the p body 2, and an electron flows in and turns on in the n drain 3 through a channel from the n source 1. Under the present circumstances, it is p+ when voltage higher than the source electrode 6 is impressed to the 2nd gate electrode 9. A hole is injected

into the n drain 3 from the gate layer 5, and conductivity modulation arises in a drain field. This poured-in hole diffuses n drain 3 field, and reaches the bottom of the trench gate soon. Although this poured-in hole originally flows into p body formed all over the segment, by this invention, a trench is formed, a part of p body is deleted, and since p body between trenches is not connected to the source electrode 6, it is in floating in potential and a hole does not flow. For this reason, p body with which a hole can flow is restricted to a part for the body part connected to the source electrode 6. thus, the area of the body with which a hole flows was narrowed -- in addition, since n drain 3 field near the p body 2 is also narrowed by the trench gate, and a diffused resistor increases, the diffusion rate of a hole falls and the drain field 3 near the p body is covered with a hole. On the other hand, since an electron forms a channel with the voltage of a trench gate electrode and flows, with regards to a diffused resistor, a drain field is flowed that there is nothing. Consequently, in a drain field, the high-density plasma state of an electron and a hole is realized, and it is p+. Conductivity modulation is conjointly promoted further with the pouring effect of the hole from the gate layer 5, and an on resistance is reduced. the case of this semiconductor device -- the current density of 100A / square SENCHIMETA -- receiving -- a voltage drop -- about 0.17 -- V it is -- compared with the conventional voltage drive type semiconductor device, an on resistance can be reduced to about 1/10. Moreover, while a turn-off accelerates by carrying out the reverse bias of between the drain electrode 7 and the gate electrodes 9 at the time of a turn-off, and drawing out an accumulation carrier, turn off power losses decrease. It sets to this example and is p+. The gate layer 5 and n+ Since the n drain 3 of low high impurity concentration intervenes from these between four layers of contacts, it is p+. The gate layer 5 and n+ Pressure-proofing of the junction which consists of a contact layer 4 can be made high. Therefore, since reverse bias voltage can be enlarged, the effect of improvement in the speed of a turn-off and turn-off-power-losses reduction is large.

[0013] In addition, by preparing switching means between p body which can be put on the heights in which the source electrode 6 and n source layer 4 are not formed, and a source electrode, and turning on switching means at the time of the turn-off of this equipment, the hole in the n drain 3 can be drawn out to a source electrode, and turn-off operation can also be made quick. However, in the ON state of this example, switching means are turned off and the on resistance reduction effect is made not to be lost.

[0014] Drawing 3 is the 2nd example of this invention, and basic composition is almost the same as the 1st example. this example is characterized by losing it to the 1st example having p body which is not connected to the source electrode 6. That is, it is p+ in the field which projected the crevice where the trench gate 8 is embedded on the front face by the side of a drain electrode. The gate layer 5 is formed.

[0015] Operation of this example is the same as that of the 1st example. Since it is spread a little also to the drain field near [where the hole poured into the drain field is not connected to the source electrode 6 in the case of the 1st example] the p body, a drain field cannot be easily covered with a hole. If the hole which was poured into the drain field to it in the case of this example reaches the pars basilaris ossis occipitalis of the trench gate, since it will be put back by the potential of the gate electrode 8, the drain field near the p body inserted into the trench tends to be covered with it. Consequently, from the 1st example, further, conductivity modulation becomes good and an on resistance is reduced.

[0016] Drawing 4 is the 3rd example based on this invention, and basic composition is almost the same as the 1st example. this example is using n type substrate which makes (111) the crystal face to the 1st example using n type substrate which makes (100) the crystal face for the n drain 3. Operation of this example is the same as that of the 1st example. Since the latus trench gate of a base like drawing 4 is formed of anisotropic etching in the case of this example, a diffused resistor can be increased, it is hard coming to spread even p body, and a drain field tends [further] to be covered with the hole poured into the drain field. Consequently, conductivity modulation is promoted from the 1st example and an on resistance is reduced.

[0017] Drawing 5 is the 4th example based on this invention, and basic composition is almost the same as the 1st example. In the case of the 1st example, p body field which is not connected to the source electrode 6 in this example is n+ which has high high impurity concentration from the

n drain 3 to the conductivity type of the p body 2 which is not connected to the source electrode 6 being a p type. It is characterized by being a layer 51. Operation of this example is the same as that of the 1st example. In the case of this example, the hole poured into the drain field is n^+ . It is n^+ when it reaches near junction of a layer 51. Since the high impurity concentration of a layer 51 is higher than n drain, a hole is rebounded by the diffusion potential of this portion and the drain field 3 is covered with a hole. Consequently, conductivity modulation is promoted from the 1st example and an on resistance is reduced. As an application of this example, it is n^+ . It is possible to make the junction depth of a layer 51 deep. In the case of this application, a pouring hole is early n^+ from a previous example. Since it reaches near junction of a layer 51 and the drain field 3 becomes easy to be covered, conductivity modulation is promoted further. Moreover, p^+ which has high high impurity concentration for the above-mentioned n^+ layer 51 from the p body 2 as another application Considering as a layer is also considered. In the case of this application, the hole poured into the drain field is this p^+ . When junction of a layer is reached, it is this p^+ . Since the high impurity concentration of a layer is deeper than the n drain 3, the diffusion rate of a hole falls, and a hole is put back and collects on the n drain 3. Consequently, conductivity modulation is promoted from the 1st example and an on resistance decreases.

[0018] Drawing 6 is the 5th example based on this invention. this example is n^+ which has high high impurity concentration from the n drain 3 in the composition of the 4th example. It is characterized by adding a layer 61 to the pars basilaris ossis occipitalis of the trench gate 8. Operation of this example is the same as that of the 1st example. Since the diffusion layer of high high impurity concentration is in the pars basilaris ossis occipitalis of the trench gate 8 in the case of this example, it is hard coming to pass to the p body 2 by which the hole was connected to the source electrode, and a drain field is covered with a hole. Therefore, a drain field tends to be covered with a hole from the 4th example, conductivity modulation is promoted, and an on resistance is reduced. As an application of this example, it is n^+ . p^+ which has high high impurity concentration for layers 51 and 61 from the p body 2 The same effect is expectable even if it transposes to a layer.

[0019] Drawing 7 is the 6th example based on this invention, and it is characterized by increasing the diffused resistor of a pouring carrier by using the lamination technology of a wafer. Basic composition is almost the same as the 1st example. Two wafers are prepared, and another wafer is stuck, after forming partially the insulator field 71 (for example, oxide film) in the wafer side of another side, grinding it to it and making it flat first in it. Subsequently, grinding and after grinding and making it predetermined thickness, the n source 1, the p body 2, the source electrode 6, and the trench gate 8 are formed for one wafer from the main front face of one wafer. Next, it is n^+ to the wafer of another side. The contact layer 4 and p^+ The gate layer 5, the drain electrode 7, and the gate electrode 9 are formed, and it is made to complete. Since in the case of this example the hole poured into the drain field will be put back if it reaches the pars basilaris ossis occipitalis of the trench gate, a drain field is easy to be covered. Consequently, conductivity modulation becomes good somewhat from the 1st example, and an on resistance is reduced. Moreover, application of accumulating a hole in the drain field 32 is possible by making area of the insulator field 71 large and narrowing the entrance of the hole poured in to the drain field 31. Furthermore, by manufacturing the n drain 31 and the n drain 32 as another application by the substrate from which resistivity is different, a diffused resistor can be increased, consequently the conductivity modulation of an electron and a hole can be promoted.

[0020] Drawing 8 is the 7th example based on this invention, and is the example which accumulated the voltage drive type semiconductor device of the 1st example on Power IC. In this example, in order to lose a mutual interference with other elements, the dielectric separation substrate is used. Basic composition is almost the same as the 1st example. In the case of this example, it is p^+ of a dielectric separation substrate to the diffusion layer for making a minority carrier inject into the n drain 3. It is characterized by using the embedding layer 91. Operation of this semiconductor device is the same as that of the 1st example. Although, as for the conventional lateral voltage drive type semiconductor device, conductivity modulation happens only on a substrate front face, in order that the flow of a majority carrier (electron) may reach to

the interior of a substrate by the trench gate, conductivity modulation happens inside a substrate and an on resistance reduces this semiconductor device by the effect of this invention. The power IC using this semiconductor device can enlarge current capacity, when a chip size is made the same using the same package. Moreover, when current capacity is fixed, a chip size can be made small and it is made to a low cost.

[0021] Drawing 9 is the example of the octavus based on this invention, and has applied this invention to the so-called IGBT (insulated-gate form bipolar transistor).

[0022] The operation of this example is as follows. A channel is formed in the p body 2 of the voltage drive of the trench gate 8, and an electron flows from the source 1 to a drain 3. If a drain and the voltage between the sources exceed the built-in voltage of p emitter junction, a hole will be injected into a drain 3 from the p emitter region 101, and conductivity modulation will be started. In the drain field near the p body, since it is narrowed by the trench gate, the diffusion rate of a hole falls and a drain field is covered with a hole. On the other hand, since a majority carrier flows through the channel of the body, with regards to a diffused resistor, a drain field is flowed that there is nothing. Consequently, a drain field becomes close to about the same plasma state as a thyristor, conductivity modulation is promoted further, and an on resistance falls. In the case of this semiconductor device, compared with the conventional IGBT, an on resistance can be reduced to about 1/10, and, in the case of 2500V class, can realize about the same on resistance as a GTO thyristor.

[0023] As mentioned above, although this invention was explained based on nine examples, this invention is not limited to these examples and various kinds of deformation and application are possible for it. For example, the diffused resistor of n drain field near the p body can be increased narrowing width of face of p body or the trench gate, making the depth of the trench gate deep, by narrowing segment width of face of an element, etc. Moreover, by irradiation of helium++ ion, a proton, or an electron ray, in the mobility of the minority carrier of the n drain 3 near the p body, it decreases locally and the whole surface or increasing a diffused resistor in efficiency are also considered. In addition, in each example, even if it makes a conductivity type into reversed polarity, it cannot be overemphasized that there are the same operation and effect.

[0024] Next, an example of the power converter which used the voltage drive type semiconductor device of this invention is explained.

[0025] Drawing 10 is the circuit diagram showing the example of the three-phase-circuit inverter which used this invention voltage drive type semiconductor device. The direct-current terminal of a couple by which T1 and T2 are connected to DC power supply E in drawing, S1, S2 and S3 and S4, the switching device that applied this invention voltage drive type semiconductor device by which the series connection of S5 and S6 was carried out, respectively, arranged polarity and parallel connection was carried out between the direct-current terminal T1 of a couple, and T2, The diode which makes the load current by which parallel connection was carried out by D1, D2, D3, D4, D5, and D6 making polarity reverse at each switching device flow back, T3, T4, and T5 The alternating current terminal of the source resultant pulse number of ac output, and the same number pulled out from the node of two switching devices by which the series connection was carried out, respectively, A1 The 1st drive circuit and A2 which were connected to the trench gate electrode of this invention voltage drive type semiconductor device It is the 2nd drive circuit connected to the 2nd gate electrode which controls minority carrier injection. If voltage is impressed to the trench gate from the 1st drive circuit, voltage is first impressed from the 2nd drive circuit subsequently to the 2nd gate electrode in operation of this example and a minority carrier is made to inject into the drain of this invention semiconductor device, an inverter circuit will operate. Since the ON state voltage inside a switching device decreases by making it such circuitry, a power loss can be reduced from the conventional inverter circuit.

[0026]

[Effect of the Invention] According to this invention semiconductor device, compared with the conventional high proof pressure MOSFET and the high proof pressure IGBT, an on resistance can be reduced sharply as mentioned above.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a cross section explaining the composition of the 1st example of this invention.

[Drawing 2] It is the cross section of the conventional vertical mold MOSFET.

[Drawing 3] It is a cross section explaining the composition of the 2nd example of this invention.

[Drawing 4] It is a cross section explaining the composition of the 3rd example of this invention.

[Drawing 5] It is a cross section explaining the composition of the 4th example of this invention.

[Drawing 6] It is a cross section explaining the composition of the 5th example of this invention.

[Drawing 7] It is a cross section explaining the composition of the 6th example of this invention.

[Drawing 8] It is a cross section explaining the composition of the 7th example of this invention.

[Drawing 9] It is a cross section explaining the composition of the example of the octavus of this invention.

[Drawing 10] It is the circuit diagram showing the example of the three-phase-circuit inverter which used the voltage drive type semiconductor device of this invention.

[Description of Notations]

1 [— n drain, 4 / — n+ / A contact layer, 5 — p+ A gate layer, 6 / — A trench gate electrode, 9 / — A gate electrode, 31 / — n drains 1 and 32 / — n drains 2, 51 and 61 / — n+ / A layer, 71 / A buried layer, 101 — p emitter region. / — An insulator field, 91 — p+ / — A source electrode, 7,102 — A drain electrode, 8] — n

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

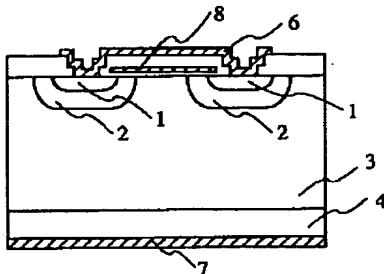
2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DRAWINGS

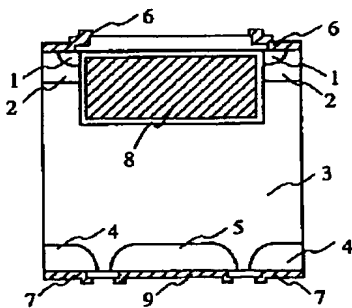
[Drawing 2]

図 2



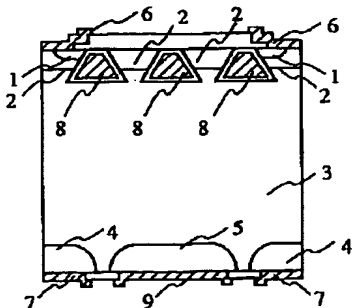
[Drawing 3]

図 3



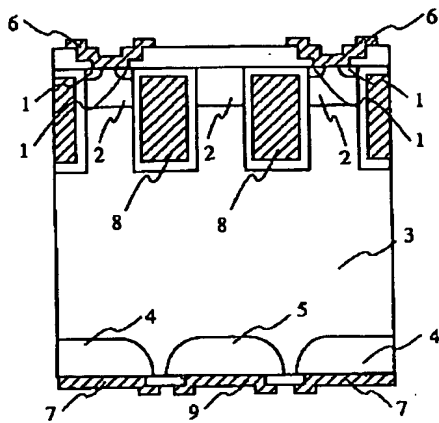
[Drawing 4]

図 4



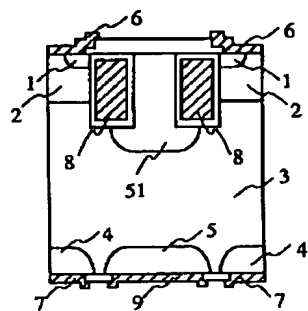
[Drawing 1]

図 1



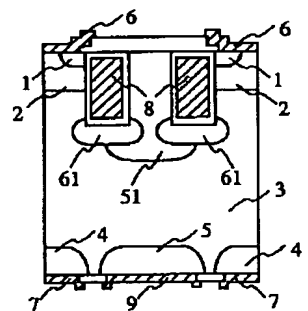
[Drawing 5]

図 5



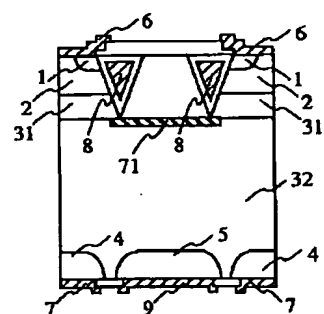
[Drawing 6]

図 6



[Drawing 7]

図 7



[Drawing 8]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-116056

(43) 公開日 平成8年(1996)5月7日

(51) IntCl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9055-4M	H 0 1 L 29/ 78	6 5 4 B
		9055-4M		3 0 1 W
				6 5 5 A

審査請求 未請求 請求項の数 9 O L (全 7 頁)

(21) 出願番号 特願平6-253193

(22) 出願日 平成6年(1994)10月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 稲葉 政光

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 菅原 良孝

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 電圧駆動型半導体装置及びそれを用いた電力変換装置

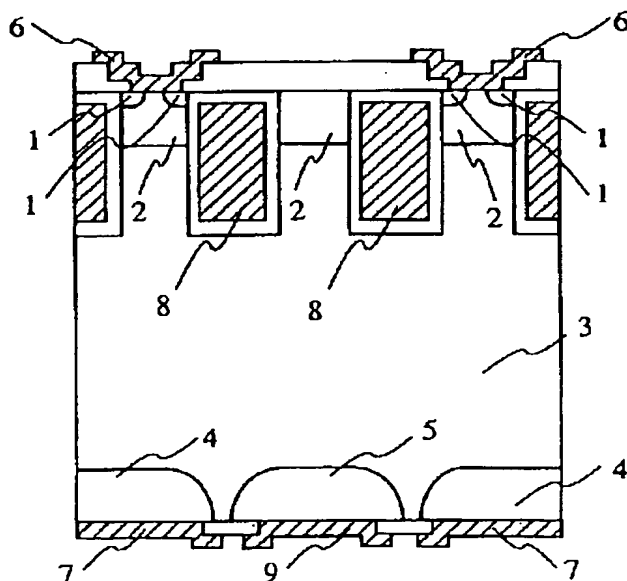
(57) 【要約】

【目的】 高耐圧のMOSFET及びIGBTのオン抵抗を大幅に低減する。

【構成】 キャリア注入層を有する高耐圧MOSFETまたはIGBTにおいて、ソース及びボディに拡散してくる注入キャリアの拡散抵抗を増大させる手段を備える。

【効果】 少数キャリアの拡散抵抗を増大させることによりドレイン領域に少数キャリアを溜め、多数キャリアと少数キャリアをプラズマ状態に至らしめ、伝導度変調を促進させる効果によりオン抵抗を低減させる。

図 1



【特許請求の範囲】

【請求項 1】表面側における複数の凹部及び凸部と、
 第 1 導電型の第 1 半導体層と、
 第 1 半導体層に隣接し、凸部に延びる、第 2 導電型の第 2 半導体層と、
 凸部における第 1 導電型の第 3 半導体層と、
 第 3 半導体層に設ける第 2 導電型の第 4 半導体層と、を有し、
 第 2 半導体層に接続する第 1 主電極と、
 凸部において、第 3 及び第 4 半導体層に接続する第 2 主電極と、
 凹部において、絶縁膜を介して設けられる第 1 制御電極と、
 第 1 半導体層に接続する第 2 制御電極と、を備え、
 第 2 主電極を接続しない凸部を有することを特徴とする電圧駆動型半導体装置。

【請求項 2】一対の主表面と、
 一方の主表面側における複数の凹部及び凸部と、
 他方の主表面に隣接する第 1 導電型の第 1 半導体層と、
 第 1 半導体層に隣接し、凸部に延びる、第 2 導電型の第 2 半導体層と、
 一方の主表面に隣接し、凸部に設ける第 4 半導体層と、を有し、
 第 1 半導体層に接続する第 1 主電極と、
 凸部において、第 3 及び第 4 半導体層に接続する第 2 主電極と、
 凹部において、絶縁膜を介して設けられる第 1 制御電極と、を備え、
 第 2 主電極を接続しない凸部を有することを特徴とする電圧駆動型半導体装置。

【請求項 3】一対の主表面と、
 一方の主表面側における複数の凹部及び凸部と、
 他方の主表面に隣接する第 1 導電型の第 1 半導体層と、
 第 1 半導体層に隣接し、凸部に延びる、第 2 導電型の第 2 半導体層と、
 一方の主表面に隣接し、凸部に設ける第 4 半導体層と、を有し、
 第 2 半導体層に接続する第 1 主電極と、
 凸部において、第 3 及び第 4 半導体層に接続する第 2 主電極と、
 凹部において、絶縁膜を介して設けられる第 1 制御電極と、
 第 1 半導体層に接続する第 2 制御電極と、を備え、
 第 1 半導体層が、凹部を他方の主表面へ投影した領域内に位置することを特徴とする電圧駆動型半導体装置。

【請求項 4】請求項 1 または請求項 2 において、第 2 主電極を接続しない凸部に設けられ、凹部の底部まで延びる第 2 導電型の第 5 の半導体層を有することを特徴とする電圧駆動型半導体装置。

【請求項 5】請求項 1 ないし請求項 3 のいずれか 1 項に

おいて、凹部の形状が台形であることを特徴とする電圧駆動型半導体装置。

【請求項 6】請求項 1 ないし請求項 3 のいずれか 1 項において、第 3 の半導体層付近の第 2 の半導体層の全面又は局部に He イオン、プロトンまたは電子線を照射することを特徴とする電圧駆動型半導体装置。

【請求項 7】一対の直流端子と、
 交流出力の相数と同数の交流端子と、
 一対の直流端子間に接続され、スイッチング素子と逆極性のダイオードの並列回路を複数個直列に接続され、並列回路の相互接続点が交流端子に接続される、交流出力の相数と同数のインバータ単位を備え、
 スwitching 素子が表面側における複数の凹部及び凸部と、
 第 1 導電型の第 1 半導体層と、
 第 1 半導体層に隣接し、凸部に延びる、第 2 導電型の第 2 半導体層と、
 凸部における第 1 導電型の第 3 半導体層と、
 第 3 半導体層に設ける第 2 導電型の第 4 半導体層と、を有し、
 第 2 半導体層に接続する第 1 主電極と、
 凸部において、第 3 及び第 4 半導体層に接続する第 2 主電極と、
 凹部において、絶縁膜を介して設けられる第 1 制御電極と、
 第 1 半導体層に接続する第 2 制御電極と、を備え、
 第 2 主電極を接続しない凸部を有することを特徴とする電力変換装置。

【請求項 8】一対の直流端子と、
 交流出力の相数と同数の交流端子と、
 一対の直流端子間に接続され、スイッチング素子と逆極性のダイオードの並列回路を複数個直列に接続され、並列回路の相互接続点が交流端子に接続される、交流出力の相数と同数のインバータ単位を備え、
 スwitching 素子が一対の主表面と、
 一方の主表面側における複数の凹部及び凸部と、
 他方の主表面に隣接する第 1 導電型の第 1 半導体層と、
 第 1 半導体層に隣接し、凸部に延びる、第 2 導電型の第 2 半導体層と、
 一方の主表面に隣接し、凸部に設ける第 4 半導体層と、を有し、
 第 1 半導体層に接続する第 1 主電極と、
 凸部において、第 3 及び第 4 半導体層に接続する第 2 主電極と、
 凹部において、絶縁膜を介して設けられる第 1 制御電極と、を備え、
 第 2 主電極を接続しない凸部を有することを特徴とする電力変換装置。

【請求項 9】一対の直流端子と、
 交流出力の相数と同数の交流端子と、

一对の直流端子間に接続され、スイッチング素子と逆極性のダイオードの並列回路を複数個直列に接続され、並列回路の相互接続点が交流端子に接続される、交流出力の相数と同数のインバータ単位を備え、

スイッチング素子が一对の主表面と、

一方の主表面側における複数の凹部及び凸部と、

他方の主表面に隣接する第1導電型の第1半導体層と、第1半導体層に隣接し、凸部に延びる、第2導電型の第2半導体層と、

一方の主表面に隣接し、凸部に設ける第4半導体層と、を有し、

第2半導体層に接続する第1主電極と、

凸部において、第3及び第4半導体層に接続する第2主電極と、

凹部において、絶縁膜を介して設けられる第1制御電極と、

第1半導体層に接続する第2制御電極と、を備え、

第1半導体層が、凹部を他方の主表面へ投影した領域内に位置することを特徴とする電力変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電圧駆動型半導体装置及びそれを用いた電力変換装置に関する。本発明を適用した電圧駆動型半導体装置は、各種電力容量のインバータや電源、電力増幅器、発振器、アナログスイッチ等に利用できる。また、利用にあたっては、単体デバイスとしてのみでなく、ICに集積しても利用できる。

【0002】

【従来の技術】従来、電圧駆動型半導体装置として、MOSFETやIGBT等が知られている。例えば、図2に示す縦型MOSFETはOV付近のオン電圧からオン電流を流せるという利点を有するが、pボディ2の接合からnドレイン3に空乏層が拡がり、電流パスがこの空乏層によりピンチされるため、オン抵抗が高くなる。これに対し、K. Shenai等著、IEEE IEDM Technical Digest, pp. 793-797(1990)に掲載されたトレンチ型MOSFETは、このピンチ抵抗を除去できるため、オン抵抗を低くできる。しかし、高耐圧用にするためにはドレイン領域の抵抗率を高くし、且つ厚くする必要があり、その結果、オン抵抗が高くなるという問題が生じる。

【0003】一方、IGBTはpエミッタからドレイン領域にホールを注入して伝導度変調を起こすので、高耐圧にしてもMOSFETに比べてオン抵抗を低く出来るという利点を有する。しかし、特に高電圧の電力変換装置などに応用するためには、ドレイン領域での伝導度変調が未だ不十分であり、GTOサイリスタ等と比べてオン抵抗は高く電力損失が大きい。このため、現状のIGBTより更に低オン抵抗の半導体装置が望まれている。

【0004】

【発明が解決しようとする課題】本発明の課題は、高耐

圧にしても低オン抵抗にできる電圧駆動型半導体装置、およびそれを用いた低電力損失の電力変換装置を提供することである。

【0005】

【課題を解決するための手段】上記課題は、ドレイン領域に少数キャリアを注入するためのキャリア注入層を有するMOSFETまたはIGBTにおいて、ソース及びボディに拡散してくる注入キャリアの拡散抵抗を増大させる手段を備えることにより解決できる。

10 【0006】拡散抵抗を増大させる具体的な手段としては、トレンチ等により半導体基体の表面に凹凸を形成してボディ近傍のドレイン領域を狭くし、電極が接続されない凸部を設けること、及び同様に凹凸を形成した上で凹部を投影した領域内にキャリア注入層を設けることがある。

【0007】

【作用】本発明の手段を用いたMOSFETまたはIGBTの場合、まずMOSゲートを電圧駆動することによりボディにチャンネルが形成され、ソースからドレインに多数キャリア（例えば電子）が流れる。次いで、MOSFETではキャリア注入領域から、またIGBTではエミッタから、ドレインに少数キャリア（例えばホール）を注入することにより、少数キャリアはドレイン領域を拡散し伝導度変調を起こす。ところで、この少数キャリアは注入領域の近傍では高濃度だが、ボディ近傍に拡散し近づくにつれ低濃度となり、ボディ近傍の伝導度変調は必ずしも十分には行われない。しかし、本発明の場合は、注入された少数キャリアがボディ近傍のドレイン領域に達する

30 と、この領域での拡散抵抗が大きくされているため、拡散速度は低下し、ボディ近傍のドレイン領域に少数キャリアが溜る。一方、ボディに形成された上記のチャンネルを介して流れてきた電子は拡散抵抗に関係無くドレイン領域を流れる。その結果、ドレイン領域は電子とホールのプラズマ状態になり、ボディ近傍も含めて十分に伝導度変調が促進される。

【0008】

【実施例】図1は本発明に基づく第1の実施例である。本実施例は、キャリア注入層を有するMOSFETの一例であり、1600V・100A級素子のセグメントを示す。

40 シリコンの半導体基板の一面に、公知のトレンチ構造により複数の凹凸が設けられている。半導体基板には、図中下側の主表面側には、互いに隣接するp+ゲート層5及びn+コンタクト層4が部分的に形成されている。なお、p+ゲート層5とn+コンタクト層4の間には、nドレイン3が介在している。nドレイン3は、p+ゲート層5とn+コンタクト層の双方に隣接するとともに、凹部の底部を越えて凸まで延びている。凸部にはpボディ2が形成され、pボディ内には部分的にnソースが形成されている。

50 【0009】さらに、n+コンタクト層にはドレイン電

極7がオーミック接触し、凸部の頂上部においてソース電極6がpボディ2及びnソース1とオーミック接触する。凹部内には、トレンチゲート電極8（MOSゲート電極）が、埋め込まれるように設けられている。また、p+ゲート層5には、少数キャリア注入用のゲート電極9がオーミック接触している。

【0010】ここで、凸部には、拡散抵抗を大きくするために、ソース電極6及びnソース層が設けられないものを形成し、ソース電極6及びnソース層が設けられるものと交互に並べられている。そして、ドレイン電極とソース電極間のオン抵抗を低くするために、ソース電極6及びnソース層が設けられる凸部の直下にn+コンタクト層4及びドレイン電極を配置している。また、ソース電極6及びnソース層1が設けられない凸部の直下にp+ゲート層5を配置することにより、ソース電極6及びnソース層が設けられる凸部とp+ゲート層5の距離を大きくしてp+ゲート層5から注入される少数キャリアの拡散抵抗を大きくしている。

【0011】本実施例の構造諸元は次の通りである。セグメント幅は $3.5\mu\text{m}$ であり、nソース1、pボディ2の表面不純物濃度は各々 $5 \times 10^{19}\text{cm}^{-3}$ 、 $5 \times 10^{17}\text{cm}^{-3}$ 、接合深さは各々 $2\mu\text{m}$ 、 $4\mu\text{m}$ である。nドレイン3、n+コンタクト層4及びp+ゲート層5の不純物濃度は、各々 $5 \times 10^{13}\text{cm}^{-3}$ 、 $1 \times 10^{19}\text{cm}^{-3}$ 、及び $1 \times 10^{18}\text{cm}^{-3}$ であり、厚さは各々 $250\mu\text{m}$ 、 $5\mu\text{m}$ 及び $5\mu\text{m}$ である。pボディ幅（トレンチゲート電極8から隣のトレンチゲート電極までの距離）は $4\mu\text{m}$ であり、トレンチゲート電極8の幅及び深さは各々 $8\mu\text{m}$ 及び $10\mu\text{m}$ 程度である。

【0012】本実施例の動作は以下の通りである。ドレイン電極7の電位をソース電極6の電位より高く、且つ、トレンチゲート電極8の電位がソース電極6の電位より高くなるように電圧を印加し、トレンチゲート8電極の電圧が閾値電圧を越えるとpボディ2にnチャネルが形成され、nソース1からチャネルを介してnドレイン3に電子が流れ込み、オンする。この際、第2のゲート電極9にソース電極6より高い電圧を印加するとp+ゲート層5からホールがnドレイン3に注入され、ドレイン領域で伝導度変調が生じる。この注入されたホールはnドレイン3領域を拡散し、やがてトレンチゲートの底部に達する。この注入されたホールは本来、セグメント全面に形成されたpボディに流れ込むものであるが、本発明ではトレンチを形成しpボディが一部削除されており、且つ、トレンチ間のpボディはソース電極6に接続されていないため、電位的にフローティング状態にありホールが流入しない。このため、ホールが流入できるpボディはソース電極6に接続されているボディ部分に制限される。このようにホールが流入するボディの面積が狭められたのに加えて、pボディ2の近傍のnドレイン3領域もトレンチゲートにより狭められるので、拡散

抵抗が増大するためホールの拡散速度は低下し、pボディ近傍のドレイン領域3にホールが溜る。一方、電子はトレンチゲート電極の電圧によりチャネルを形成して流れてくるので、拡散抵抗に関係無くドレイン領域を流れる。その結果、ドレイン領域では電子とホールの高密度のプラズマ状態が実現し、p+ゲート層5からのホールの注入効果と相俟って、更に伝導度変調は促進され、オン抵抗は低減される。本半導体装置の場合、 $100\text{A}/\text{平方センチメートル}$ の電流密度に対し電圧降下は約0.1

7Vであり、従来の電圧駆動型半導体装置に比べてオン抵抗は約10分の1に低減できる。また、ターンオフ時において、ドレイン電極7とゲート電極9の間を逆バイアスして蓄積キャリアを引き抜くことにより、ターンオフが高速化するとともに、ターンオフ損失が低減する。本実施例においては、p+ゲート層5とn+コンタクト層4との間にこれより低不純物濃度のnドレイン3が介在しているので、p+ゲート層5とn+コンタクト層4からなる接合の耐圧を高くすることができる。従って、逆バイアス電圧を大きくできるので、ターンオフの高速化及びターンオフ損失低減の効果が大きい。

【0013】なお、ソース電極6及びnソース層4が設けられない凸部に置くpボディとソース電極の間にスイッチ手段を設け、本装置のターンオフ時にスイッチ手段をオンすることにより、nドレイン3内のホールをソース電極へ引き抜き、ターンオフ動作を速くすることもできる。ただし、本実施例のオン状態においては、スイッチ手段をオフして、オン抵抗低減効果が失われないようにする。

【0014】図3は本発明の第2の実施例であり、基本構成は第1の実施例とほぼ同じである。第1の実施例はソース電極6に接続されていないpボディがあるのに対し、本実施例はそれをなくしたことを特徴としている。すなわち、トレンチゲート8が埋め込まれる凹部をドレイン電極側の表面に投影した領域内にp+ゲート層5が設けられる。

【0015】本実施例の動作は第1の実施例と同様である。第1の実施例の場合、ドレイン領域に注入されたホールは、ソース電極6に接続されていないpボディ近傍のドレイン領域にも若干は拡散されるため、ホールがドレイン領域に溜りにくい。それに対し、本実施例の場合、ドレイン領域に注入されたホールは、トレンチゲートの底部に達すると、ゲート電極8の電位により押し戻されるため、トレンチに挟まれたpボディの近傍のドレイン領域に溜りやすい。その結果、第1の実施例より更に伝導度変調は良くなり、オン抵抗は低減される。

【0016】図4は本発明に基づく第3の実施例であり、基本構成は第1の実施例とほぼ同じである。第1の実施例はnドレイン3に（100）を結晶面とするn型基板を使用しているのに対し、本実施例は（111）を結晶面とするn型基板を使用している。本実施例の動作

は第 1 の実施例と同様である。本実施例の場合、異方性エッチングにより図 4 の様な底面の広いトレンチゲートが形成されるため、更に拡散抵抗を増大でき、ドレイン領域に注入されたホールが p ボディまで拡散しにくくなり、ドレイン領域に溜りやすい。その結果、第 1 の実施例より伝導度変調は促進され、オン抵抗は低減される。

【0017】図 5 は本発明に基づく第 4 の実施例であり、基本構成は第 1 の実施例とほぼ同じである。第 1 の実施例の場合、ソース電極 6 に接続されていない p ボディ 2 の導電型は p 型であるのに対し、本実施例では、ソース電極 6 に接続されていない p ボディ領域は n ドレイン 3 より高不純物濃度を有する n+ 層 5 1 であることを特徴とする。本実施例の動作は第 1 の実施例と同様である。本実施例の場合、ドレイン領域に注入されたホールが n+ 層 5 1 の接合付近に達すると、n+ 層 5 1 の不純物濃度が n ドレインよりも高いため、この部分の拡散電位によりホールが跳ね返され、ホールがドレイン領域 3 に溜る。その結果、第 1 の実施例より伝導度変調は促進され、オン抵抗は低減される。本実施例の応用例として、n+ 層 5 1 の接合深さを深くすることが考えられる。この応用例の場合、注入ホールは先の実施例より早く n+ 層 5 1 の接合付近に達し、ドレイン領域 3 に溜りやすくなるので、更に伝導度変調は促進される。また、別の応用例として、上記の n+ 層 5 1 を p ボディ 2 より高不純物濃度を有する p+ 層とすることも考えられる。この応用例の場合、ドレイン領域に注入されたホールが該 p+ 層の接合に達すると、該 p+ 層の不純物濃度が n ドレイン 3 より濃いため、ホールの拡散速度が低下し、ホールは押し戻されて n ドレイン 3 に溜る。その結果、第 1 の実施例より伝導度変調は促進され、オン抵抗は低減する。

【0018】図 6 は本発明に基づく第 5 の実施例である。本実施例は第 4 の実施例の構成に n ドレイン 3 より高不純物濃度を有する n+ 層 6 1 をトレンチゲート 8 の底部に追加したことを特徴としている。本実施例の動作は第 1 の実施例と同様である。本実施例の場合、トレンチゲート 8 の底部に高不純物濃度の拡散層があるため、ホールがソース電極に接続された p ボディ 2 へ通り抜けることができ、ドレイン領域にホールが溜る。したがって、第 4 の実施例よりドレイン領域にホールが溜りやすく、伝導度変調は促進され、オン抵抗は低減される。本実施例の応用例として、n+ 層 5 1 及び 6 1 を p ボディ 2 より高不純物濃度を有する p+ 層に置き換えても同様の効果が期待できる。

【0019】図 7 は本発明に基づく第 6 の実施例であり、ウエハの貼り合わせ技術を用いることにより、注入キャリアの拡散抵抗を増大させることを特徴としている。基本構成は第 1 の実施例とほぼ同じである。2 枚のウエハを準備し、まず他方のウエハ面に絶縁体領域 7 1 (例えば酸化膜) を部分的に形成し、研磨し平坦にした

後、もう一方のウエハを貼り合わせる。次いで、一方のウエハを研削、研磨して所定の厚さにした後に、一方のウエハの主表面から n ソース 1、p ボディ 2、ソース電極 6、トレンチゲート 8 を形成する。次に、他方のウエハに n+ コンタクト層 4、p+ ゲート層 5、ドレイン電極 7、ゲート電極 9 を形成して完成させる。本実施例の場合、ドレイン領域に注入されたホールは、トレンチゲートの底部に達すると押し戻されるため、ドレイン領域に溜りやすい。その結果、第 1 の実施例より多少伝導度変調は良くなり、オン抵抗は低減される。又、絶縁体領域 7 1 の面積を広くして、ドレイン領域 3 1 へ注入するホールの入口を狭くすることにより、ホールをドレイン領域 3 2 に溜める等の応用が可能である。更に別の応用例として、n ドレイン 3 1 と n ドレイン 3 2 を拡散率の違う基板で製作することにより、拡散抵抗を増大させ、その結果、電子とホールの伝導度変調を促進させることができる。

【0020】図 8 は本発明に基づく第 7 の実施例であり、第 1 の実施例の電圧駆動型半導体装置をパワー IC に集積した例である。本実施例では、他の素子との相互干渉を無くするため誘電体分離基板を用いている。基本構成は第 1 の実施例とほぼ同じである。本実施例の場合、少数キャリアを n ドレイン 3 に注入させるための拡散層に誘電体分離基板の p+ 埋め込み層 9 1 を用いていることを特徴としている。本半導体装置の動作は第 1 の実施例と同様である。従来のラテラル電圧駆動型半導体装置は伝導度変調が基板表面のみで起こるが、本半導体装置は多数キャリア (電子) の流れがトレンチゲートにより基板内部まで及ぶため、伝導度変調が基板内部で起こり、本発明の効果でオン抵抗が低減する。本半導体装置を用いたパワー IC は同一パッケージを用いてチップサイズを同じにした場合は、電流容量を大きくできる。また、電流容量を一定にした場合は、チップサイズを小さくでき、低コストにできる。

【0021】図 9 は本発明に基づく第 8 の実施例であり、所謂 IGBT (絶縁ゲート形バイポーラトランジスタ) に本発明を適用している。

【0022】本実施例の動作は以下の通りである。トレンチゲート 8 の電圧駆動により p ボディ 2 にチャネルが形成され、ソース 1 からドレイン 3 に電子が流れる。ドレイン、ソース間電圧が p エミッタ接合のビルトイン電圧を越えると、p エミッタ領域 10 1 からドレイン 3 にホールが注入され伝導度変調を起こす。p ボディ近傍のドレイン領域ではトレンチゲートにより挟められるので、ホールの拡散速度は低下し、ドレイン領域にホールが溜る。一方、多数キャリアはボディのチャネルを介して流れてくるので、拡散抵抗に関係無くドレイン領域を流れる。その結果、ドレイン領域はサイリスタ並みのプラズマ状態に近くなり、更に伝導度変調が促進され、オン抵抗は低下する。本半導体装置の場合、2500V 級

の場合、従来の IGBT に比べてオン抵抗は約 10 分の 1 に低減でき、GTO サイリスタ並みのオン抵抗が実現できる。

【0023】以上、9 個の実施例に基づいて本発明を説明したが、本発明はこれらの実施例に限定されるものでなく、各種の変形や応用が可能である。例えば、p ボディやトレンチゲートの幅を狭くすること、トレンチゲートの深さを深くすること、素子のセグメント幅を狭くすること等により p ボディ近傍の n ドレイン領域の拡散抵抗が増大できる。また、He⁺イオン、プロトン又は電子線等の照射により、p ボディ近傍の n ドレインの少数キャリアの移動度を全面又は局部的に低減し、拡散抵抗を実効的に増大させることも考えられる。なお、各実施例において、導電型を逆極性にしても、同じ作用・効果が在ることはいうまでもない。

【0024】次に、本発明の電圧駆動型半導体装置を使用した電力変換装置の一例について説明する。

【0025】図 10 は本発明電圧駆動型半導体装置を使用した 3 相インバータの実施例を示す回路図である。図において、 T_1 及び T_2 は直流電源 E に接続される一対の直流端子、 S_1 及び S_2 、 S_3 及び S_4 、 S_5 及び S_6 はそれぞれ直列接続されて一対の直流端子 T_1 及び T_2 間に極性を揃えて並列接続された本発明電圧駆動型半導体装置を適用したスイッチ素子、 D_1 、 D_2 、 D_3 、 D_4 、 D_5 及び D_6 は各スイッチ素子に極性を逆にして並列接続された負荷電流を還流させるダイオード、 T_3 、 T_4 及び T_5 は直列接続された 2 個のスイッチ素子の接続点からそれぞれ引き出された交流出力の相数と同数の交流端子、 A_1 は本発明電圧駆動型半導体装置のトレンチゲート電極に接続された第 1 の駆動回路、 A_2 は少数キャリアの注入を制御する第 2 のゲート電極に接続された第 2 の駆動回路である。本実施例の動作に当たっては、まず、第 1 の駆動回路からトレンチゲートに電圧を印加し、次いで第 2 の駆動回路から第 2 のゲート電極に電圧を印加して、本発明半導体装置のドレインに少数キャリアを注入させ

ると、インバータ回路が動作する。このような回路構成にすることによりスイッチ素子内部のオン電圧が低減するため、従来のインバータ回路より電力損失を低減することができる。

【0026】

【発明の効果】以上のように本発明半導体装置によれば、従来の高耐圧 MOSFET、高耐圧 IGBT に比べてオン抵抗を大幅に低減できる。

【図面の簡単な説明】

10 【図 1】本発明の第 1 の実施例の構成を説明する断面図である。

【図 2】従来の縦型 MOSFET の断面図である。

【図 3】本発明の第 2 の実施例の構成を説明する断面図である。

【図 4】本発明の第 3 の実施例の構成を説明する断面図である。

【図 5】本発明の第 4 の実施例の構成を説明する断面図である。

20 【図 6】本発明の第 5 の実施例の構成を説明する断面図である。

【図 7】本発明の第 6 の実施例の構成を説明する断面図である。

【図 8】本発明の第 7 の実施例の構成を説明する断面図である。

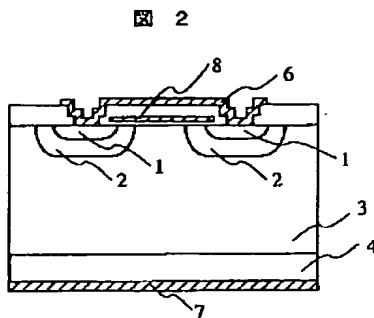
【図 9】本発明の第 8 の実施例の構成を説明する断面図である。

【図 10】本発明の電圧駆動型半導体装置を使用した 3 相インバータの実施例を示す回路図である。

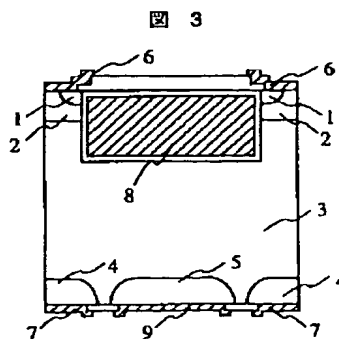
【符号の説明】

30 1…n ソース、2…p ボディ、3…n ドレイン、4…n + コンタクト層、5…p⁺ ゲート層、6…ソース電極、7、102…ドレイン電極、8…トレンチゲート電極、9…ゲート電極、31…n ドレイン 1、32…n ドレイン 2、51、61…n + 層、71…絶縁体領域、91…p⁺ 埋込層、101…p エミッタ領域。

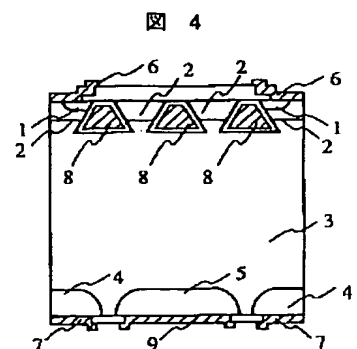
【図 2】



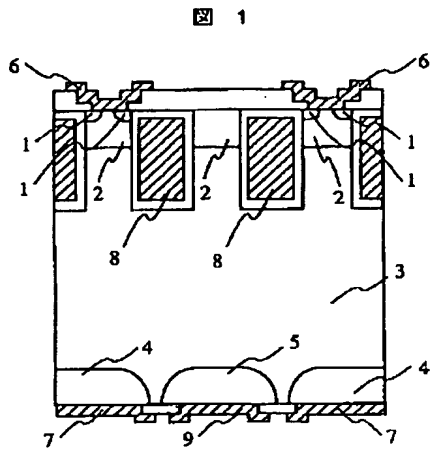
【図 3】



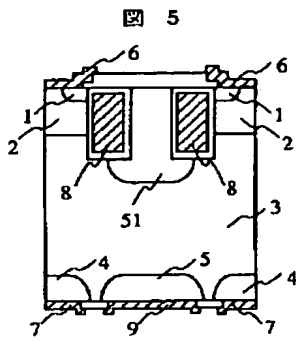
【図 4】



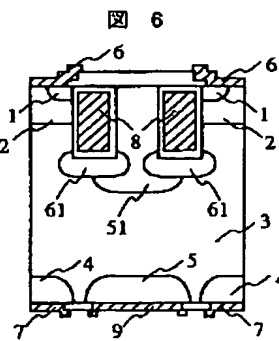
【図 1】



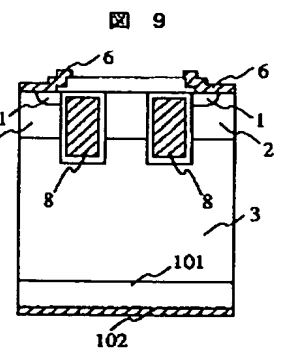
【図 5】



【図 6】

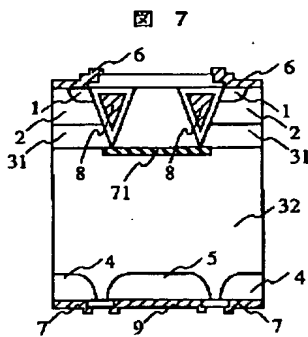


【図 9】



【図 10】

【図 7】



【図 8】

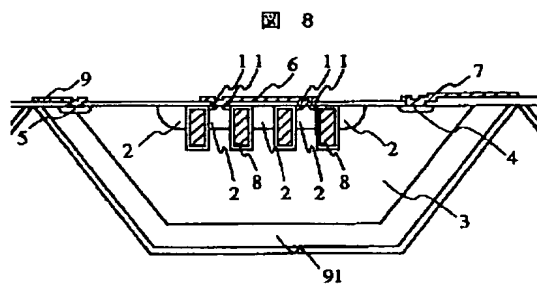


図 10

